

메모리반도체 기술동향과 대응

안기현

DRAM 기술개발 동향

DRAM(Dynamic Random Access Memory)은 빠른 속도 및 높은 집적도 구현이 가능한 메모리로 각종 전자 기기의 주메모리로 사용되고 있다. DARM의 cell은 트랜지스터 하나와 커패시터 하나로 구성되는데, 트랜지스터는 DRAM cell 어레이에서 특정 cell을 읽거나 쓸 수 있도록 선택하는 역할을 수행하며, 커패시터는 전하를 저장하여 '0'과 '1'의 데이터를 기록하는 역할을 하고 있다.

DRAM 소자의 집적화를 위해서는 트랜지스터 및 커패시터 등을 포함한 여러 공정 요소 기술의 개발이 중요하다. 그중 좁은 면적에서 정전용량을 확보하기 위한 커패시터 요소기술이 가장 핵심적인 기술 중 하나이다. 또한 DRAM 소자의 동작을 위해서는 소자의 크기와 관계없이 cell당 25~30fF의 정전용량이 요구되어 커패시터의 유효면적을 증대시키기 위해 3차원 입체구조의 커패시터가 활용되나(그림 1), 입체구조의 커패시터는 DARM의 집적도 향상과 직접적인 관계가 있다.

현재 DRAM의 미세화는 DPT(Double Patterning Technology) 기술을 사용하여 2Xnm까지 양산공정에 사용하고 있고, EUV가 아직 양산공정에 적용이 되지 않고 있어서 QPT(Quadruple)공정 기술을 적용하여 조만간 1Xnm DRAM이 출시 될 것이다.

DRAM의 성능향상을 위해 1차적으로는 트랜지스터의 Scaling-down과 얇은 Tox(gate oxide) 기술이 필요하고 커패시터의 유효면적, 유전물질(기존보다 고유전 박막)을 향상시키기 위한 기술 개발이 진행중이다. 트

랜지스터의 물리적 크기(gate length)는 DPT, QPT, EUV 등을 통해 축소가 가능할 것으로 전망되나, Tox의 scaling-down이 어려워지면서 보다 큰 트랜지스터의 성능을 얻기 위해 로직기술(HKMG)이 도입되고 있다. 또한, 높은 유전율을 가지는 물질의 경우 대부분 작은 밴드갭에서 기인하는 높은 누설 전류의 단점을 가지고 있어 적절한 물질의 선택 및 그 물질에 적합한 새로운 전극 물질의 개발 등이 진행중에 있다.

NAND Flash 개발 동향

Nand Flash메모리는 전원이 꺼지면 기억된 정보를 모두 잃어버리는 DRAM과 SRAM과 달리 데이터를 보존하는 비휘발성 메모리의 일종으로 전기적인 방법으로 정보를 자유롭게 입출력할 수 있으며, 전력소모가 적고 고속 프래밍이 가능하다. Flash 메모리는 반도체 칩 내부의 전자회로 형태에 따라 직렬로 연결된 NAND Flash와 병렬로 연결된 NOR Flash로 구분되는데, NAND는 용량을 늘이기 쉽고 쓰기 속도가 빠른 반면 NOR는 읽기 속도가 빠른 장점이 있다.

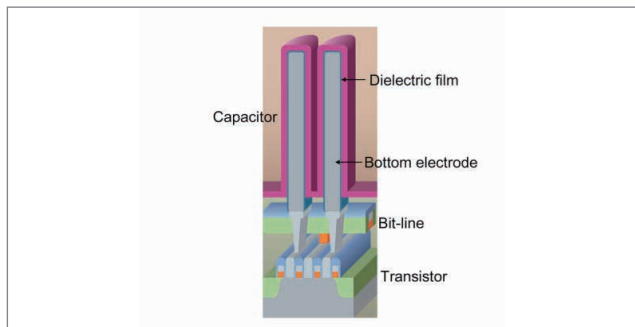
NAND Flash cell은 DRAM과는 달리 하나의 트랜지스터로 구성되는데, 기본적인 MOSFET 구조에 전하를 저장할 수 있는 플로팅게이트 또는 Charge Trap Layer(ONO)가 추가된 형태로, 플로팅게이트에 전하를 저장하여 '0'과 '1'의 데이터를 기록하는 구조이다.

최근 NAND Flash의 미세화에 따른 cell 선폰이 좁아지면서 전하를 저장할 수 있는 Trap layer에 전자의 수가



<저자 약력>

안기현 박사는 2010년 성균관대학교에서 공학(개발공학) 박사학위를 받았으며, SK하이닉스 반도체연구소를 거쳐, 2002년 KAIST 나노종합기술원, 2004년부터 한국반도체산업협회에서 근무하였으며, 2009년부터 한국반도체연구조합 사무국장으로 재직 중이다. (khahn@ksia.or.kr)



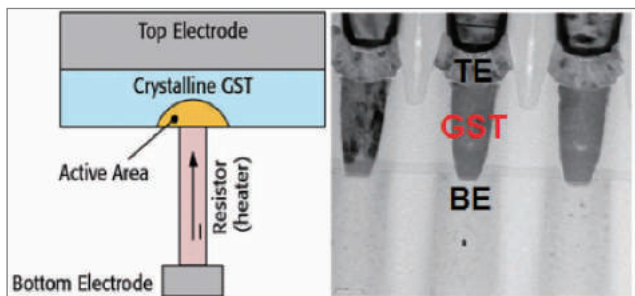
[Fig. 1] DRAM 셀 구조

축소되고, cell간 간섭이 심화되면서 미세화에 따른 비트 당 단가저감 및 속도 하락의 문제로 3D NAND기술을 개발하고 있다. 공정을 10 nm급 이하로 축소하기 위해서는 EUV, QPT 공정이 반드시 필요하였지만, QPT 공정 도입 시 공정 step 수 증가, 생산성 저하, 재료비 증가 문제가 발생하여 V-NAND(적층형) Flash 개발을 추진하고 있다.

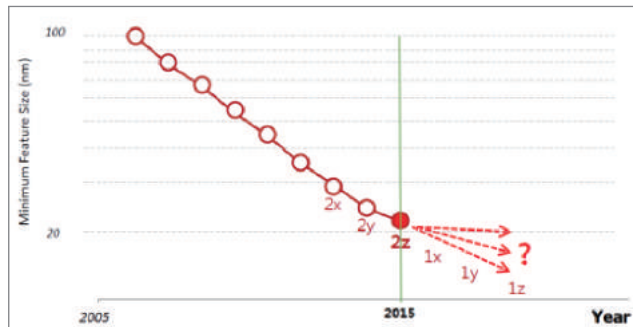
NAND Flash의 핵심 기술은 적층 기술과 식각 기술 등 공정기술과 MLC, TLC 등 cell 저장 공간의 컨트롤러 기술이 핵심이다. 증착, 식각 공정의 수요가 1.5배 이상 증가되어 관련 장비·소재의 수요가 확대되었고, TLC 컨트롤러 기술이 안정화됨에 따라 저장 효율이 2~3배 뛰어나 더 작은 제품에도 높은 용량을 구현할 수 있게 되었다.

PcRAM (Phase Change Memory)

PcRAM은 비휘발성 메모리의 한 종류로 플래시 메모리의 비휘발성과 DRAM의 빠른 속도의 장점을 모두 가지고 있는 차세대 메모리 반도체이다. PcRAM은 열(전압)을 가함에 따라 비정질상태와 결정질 상태로 바뀌는 칼코나이드물질(GST)의 독특한 특성을 이용하여 데



[Fig. 3] Phase Change Memory structure



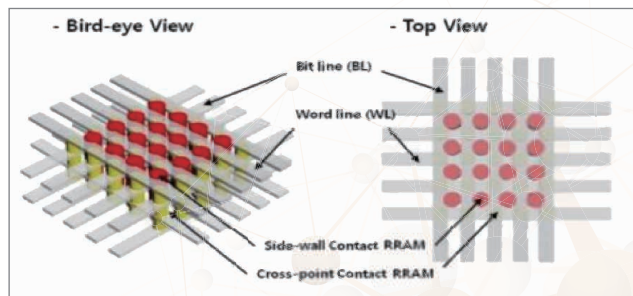
[Fig. 2] DRAM Technology Trend & Future (ITRS)

이터를 저장하는 방식이다. PcRAM은 DRAM, SRAM, Flash 메모리의 단점을 보완하고, 이들의 장점만을 융합한 차세대 메모리로 30 nm급 PcRAM이 양산에 성공했을 때 stand-alone 메모리와 SoC용 embedded 메모리에 모두 적용 가능하다는 점에서 차세대 메모리의 하나로 평가 받고 있다.

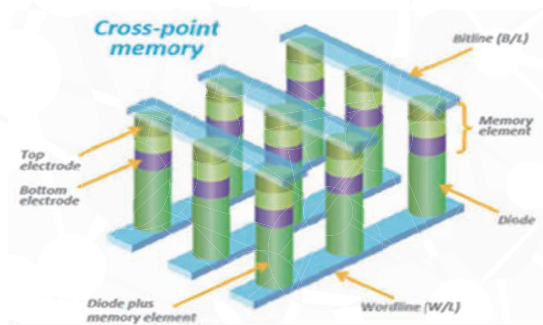
그러나, 30 nm급 이하 PcRAM의 경우 상변화재료인 GST의 cell 간섭현상, 높은 용융 온도에 의한 높은 reset pulse, MLC의 어려움, 고집적화에 따른 retention 열화, drift 등 재료의 안정성에 취약성을 보이고 있다. PcRAM의 고성능, 고집적도를 극대화하기 위해 20 nm급에서 적용이 가능한 신뢰성 있는 switching 소자 및 저용점, 고결정화 온도를 갖는 상변화 물질의 개발, 계면 제어기술, MLC 기술, 신뢰성 향상 등을 위한 연구가 진행중에 있다.

ReRAM (Resistive Memory)

ReRAM은 전압에 따른 산화물의 저항 변화를 이용하여 정보를 저장하는 메모리반도체로 집적도가 용이하



[Fig. 4] 3D ReRAM structure

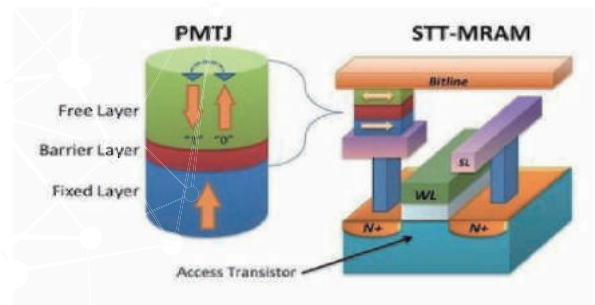


[Fig. 5] Intel-Micron의 3D Xpoint structure

며, 소자구조가 간단하기 때문에 3D 구조 제작에 적합한 차세대 메모리반도체이다. ReRAM은 PcRAM, STT-MRAM과 같이 차세대 메모리소자로 오래전부터 연구개발이 진행되었는데, 초기에는 PcRAM의 상용화가 빠르게 진행되었지만 20 nm급 이하 PcRAM의 여러 가지 문제로 ReRAM이 2D NAND의 대체재로 가장 근접해있는 차세대 메모리이다.

3D NAND가 삼성전자에 의해 양산화 됨에 따라 주요 NAND 업체는 당분간 3D NAND의 stack 수 증가에 집중하고, 2020년쯤 Vertical ReRAM(VReRAM)을 도입함으로써 10 nm 이하의 미세화를 지속시킬 것으로 전망하고 있다. V-ReRAM의 도입 가능성에 무게를 두는 이유는 1) 3D NAND와 Process가 유사해 기존 Fab을 이용할 수 있고, 2) 트랜지스터를 사용하기 때문에 leak current 이슈가 발생하지 않으며, 3) stack 수 증가에 따른 density 향상이 용이하기 때문이다.

2015년 7월 28일 인텔/마이크론 연합이 '3D Xpoint'라는 차세대 메모리를 발표하였는데, 3D Xpoint는 bulk switching ReRAM 형태로 NAND보다 1,000배 빠른 데이터 속도와 긴 수명, 1,000배 이상 증가한 내구성과 10배 향상된 용량이라고 발표하였다. 인텔은 3D Xpoint 메모리를 DRAM과 NAND의 속도 차로 인한 병목현상을 해결하는 용도로 사용하려고 계획 중으로 데이터 분석용 서버(SSD) 등이 주력 수요처가 될 것이라고 발표하였다. 전문가들은 '3D Xpoint'의 cross-point 구조는 이미 3D NAND에 뒤쳐진 기술로 data error가 발생할 수 있을 뿐 아니라, density 향상에 한계가 존재하여 기존의 DRAM과 NAND를 대체할 수는 없을 것이라고 전망하고 있다. 3차원 구조의 V-ReRAM은 삼성전자(韓), SK하이닉스(韓), 도시바(日), 소니(日), IBM(美,) HP(美,) Matrix



[Fig. 6] STT-MRAM Structure(Avalanche Technology)

Semiconductor(美) 등 많은 기업들이 연구개발 중으로 개발 완료 후 양산에 성공할 경우 새로운 시장 개척이 가능하다.

STT-MRAM(Spin-Transfer Torgue Memory)

STT-MRAM은 자성재료를 기반으로 하는 스핀트로닉스에서 전자의 전하가 아닌 고유의 각운동량인 Up스핀(↑)과 Down스핀(↓)을 구분하여 스핀의 스위칭을 시키는 원리를 바탕으로 구동하는 메모리반도체이다. 자성체인 MTJ에 전류를 흘려보내 전자의 회전(Up, Down)을 발생시키고 저항 값 크기에 따라 데이터를 기록·보존하는 원리이다. STT-MRAM은 비휘발성, 고집적, 저전력 및 고속 동작이 가능한 메모리소자로서, 향후 DRAM을 대체할 소자로 가장 가능성 있는 메모리이다. STT-MRAM이 DRAM을 대체할 것으로 판단하는 첫 번째 이유는 기존 DRAM과 동일한 공정을 사용하여 Fab 전환이 용이할 뿐 아니라, STT-MRAM은 커패시터로 MTJ를 사용하기 때문에 DRAM의 커패시터의 A/R 이슈를 벗어날 수 있기 때문이다.

현재까지 STT-MRAM 양산개발을 발표한 기업은 프리스케일 M램 사업부가 분사해 설립된 에버스핀(Everspin, 美)과 애벌란치테크놀로지(Avalanche Technology, 美)로 STT-MRAM은 다른 차세대 메모리(PcRAM, ReRAM)등과는 달리 기존 DRAM 공정설비를 응용할 수 있어 집적도와 신뢰성이 수반될 경우 가장 상용화 가능성이 높은 메모리이다. STT-MRAM은 생산비용이 상대적으로 낮아 성능도 우수하여, 국내 삼성전자와 SK하이닉스도 연구개발을 진행 중에 있으나 아직 대용량 양산 성공을 했다는 발표는 없는 것으로 조사된다.

STT-MRAM이 상용화가 되기 위해서는 MTJ cell의 두 자성체의 증착·식각 공정의 대형화(300 mm 웨이퍼)장비가 필요한데, 최근 AMAT, LamResearch 등 글로벌 장비 기업 등이 증착 및 식각 tool을 300 mm 웨이퍼 기반 반도체 생산 공정용으로 개발하면서 대량생산 생태계가 갖춰지고 있다.

최근 에벌란치테크놀로지 부사장은 ‘40 nm 이하 300 mm 공정으로 STT-MRAM 양산 생태계가 갖춰진 상태’라고 발표하고 ‘SRAM부터 시작해 단가가 내려가면 DRAM까지 대체할 수 있을 것’이라고 전망하고 있다. 시장조사기관인 ‘컬린’의 보고서에 따르면 ‘STT-MRAM’이 시장 주도권을 잡는 시기는 2019년이 될 것으로 전망하고 2019년 약 21억 달러의 시장 규모를 형성할 것이라고 분석하고 있다.

지난 12월 미국 워싱턴에서 진행된 ‘IEDM 2016’에서는 차세대 메모리분야에서 MRAM의 상용화 가능성에 대한 연구가 많이 발표되었는데, 도시바(日)의 발표에 따르면 ‘STT-MRAM은 SRAM보다 제조비용이 낮으며 SRAM에 비해 소비 전력이 65%, 다이 사이즈가 37% 줄어 들수 있다고 발표하였다. 도시바 이외에도 AMAT-Qualcomm, 삼성전자-IBM alliance 등이 STT-MRAM에 대해 발표하였는데, 선두 업계 및 학계의 STT-MRAM에 대한 관심도는 점차 증가하고 있으며 수년 내에 상용화 가능성을 전망하고 있다.

대응

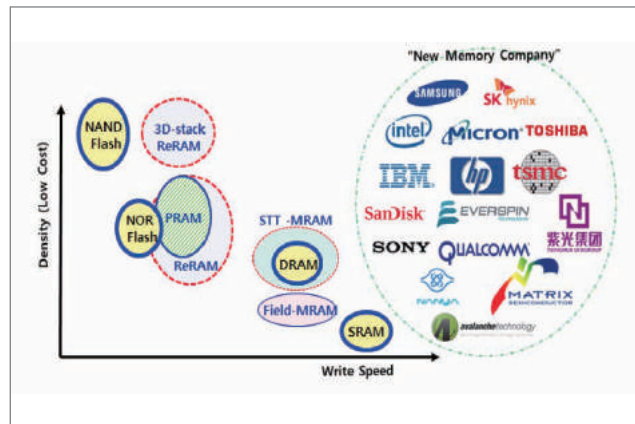
1. 미세화의 한계를 극복하기 위한 차세대 메모리 개발 경쟁 격화

DRAM은 2016년 상반기 중으로 1Xnm급 기술에 진입할 것으로 예상되고, DPT/QPT, EUV 등의 공정기술을 통해 지속적인 미세화가 진행 될 것이며, NAND Flash도 적층수의 증가를(48 layer 이상) 통해 4세대 3D NAND 제품이 시장에 나올 것으로 전망되고 있다.

DRAM과 3D NAND의 기술적 한계로 각각의 속도(DRAM)와 집적도(NAND)의 장점을 넘어서는 차세대 메모리가 개발/양산 될 경우 메모리시장의 ‘게임 체인저’가 될 것으로 전망하고 있다.

2. 차세대 메모리 시장은 ‘춘추 전국시대’

PcRAM, V-ReRAM, STT-MRAM 등 차세대 메모리



[Fig. 7] 차세대 메모리 개발 Roadmap 및 개발회사

는 아직 선두기업의 기술 리더십이 없는 분야로 여러 기업이 경쟁하면서 설계·공정기술이 크게 개선되고 있어 점차 가시화되고 있다. 차세대 메모리는 현재 주력인 DRAM, NAND보다 성능이 뛰어나고, 현재의 메모리로 처리가 힘든 빅데이터 분석 등 새로운 수요처 증가로 이어질 것으로 전망된다.

그동안 삼성전자와 SK하이닉스는 DRAM과 NAND시장에서의 앞선 공정 기술력을 바탕으로 시장 우위를 점하였지만, 차세대 메모리 시장에서의 기술우위를 확실히 점하기 위해서 연구개발을 추진하는 것으로 알고 있다.

3. 국내 차세대 메모리 개발 투자 지속 필요

기존 메모리에 대한 위협, 새로운 경쟁자의 진입, 구조의 개선으로 인한 메모리 미세화 속도 증가 어려움에 따른 ‘메모리 한국’은 차세대 메모리 시장에서 새로운 ‘게임 체인저’ 위협으로부터 벗어나기 위해서는 국내 메모리 산업의 지속적인 연구개발 투자가 필요하다.

몇 년 전부터 ‘KSRC(미래반도체소자)’ 프로그램을 통해 PcRAM, ReRAM, STT-MRAM 분야의 연구개발 프로젝트가 진행중이나, 글로벌 해외 경쟁기업 역시 지속적인 산·학 프로젝트(SRC 등)를 통해 연구개발을 진행하고 있어 개발 경쟁은 점점 치열해지고 있다.

또한, 막대한 자금을 바탕으로 한 중국의 메모리반도체 시장 진출은 국내 메모리반도체 시장의 큰 위협으로 메모리 시장에서의 지각변동 가능성을 예고하고 있어 기술개발, 인력양성, 기술인재 선순환에 대한 지속적인 관심과 노력이 요구된다.